

④ 대 한 인 국 특 허 청 (KR)  
⑤ 공 개 실 용 신 암 공 보 (U)

⑥ InL Cl.  
H 01 L 21/56

⑦ 등록일자 1994. 1. 3.  
⑧ 출원일자 1992. 6. 10.

제 716 호

⑨ 공개번호 94-1979  
⑩ 출원번호 92-10286  
심사청구: 없음

⑪ 고 안 차 나 즌 수 서울특별시 강남구 역삼동 현대빌라 107-202

⑫ 출 원 인 금성일렉트론 주식회사 대표이사 둔 경 원

충청북도 청주시 흥정동 50번지

⑬ 대리인 변리사 박 장 원

(전 2 단)

⑭ 반도체 패키지

⑮ 요 약

본 고안은 반도체 패키지의 구조에 관한 것으로 반도체 패키지에 있어서 반도체 칩이 부착 고정되는 리드 프레임의 제들과 상기 칩에 와이어 본딩되는 다수개의 외부연결 리드가 패키지의 저면으로 노출되도록 리드프레임의 상부측만 에폭시 물질 침파온드로 물딩하여 구성한 것이다.

즉 리드 프레임은 기준한 상부쪽은 에폭시 물질 침파온드로 물딩하고 하부쪽은 제들로서 인텔리미션 역할을 하도록 함으로써 패키지의 전세적인 두께를 보다 작게하여 경박단조화에 기여하고, 실장을 보다 높일 수 있다는 효과와 아울러 포장공정이 단순해지며, 칩의 전기적인 특성이 보다 좋아지는 등의 여러 효과가 있다.

## 실용신안 등록청구의 범위

1. 반도체 패키지 구조에 있어서, 반도체 칩(11)이 부착 고정되는 리드 프레임의 패들(12)가 상기 칩(11)에 와이어 본딩되는 다수개의 외부연결 리드(13)가 패키지의 저연으로 노출되도록 리드 프레임의 상부측면에 푸시 풀딩 커버온드(14)로 풀딩하여 구성함을 특징으로 하는 반도체 패키지.」

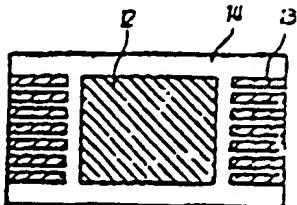
2. 제1항에 있어서, 상기 리드 프레임은 그의 패들(12)과 외부연결 리드(13)가 수평상태로 형성되거나, 또는 패들(12)을 들어올린 엎-갯구조로 형성됨을 특징으로 하는 반도체 패키지.

\* 참고사항: 최초출원 내용에 의하여 공개하는 것임.

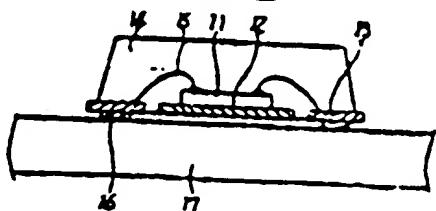
도면의 간단한 설명

제3도는 본 고안에 의한 반도체 패키지의 구조를 보이는 도면으로서, 제3도는 45도의 저연도, 제4도는 본 고안에 의한 반도체 패키지의 실장상태를 보인 단면도.

제3도



제4도



① 대한민국 특허청 (KR)  
② 공개특허공보 (A)

③ Int. Cl. 6

II 01 L 23/50

제 2658 호

④ 공개일자 1997. 11. 7

⑤ 공개번호 97-72358

⑥ 출원일자 1996. 4. 1

⑦ 출원번호 96-9774

실사청구 : 있음

⑧ 발명자 이명숙 경기도 성남시 분당구 수내동 55 롯데아파트 132-1504

⑨ 출원인 아님산업 주식회사 대표이사 유흥인 선

서울특별시 성동구 성수 2가 280-8 (우: 133-120)

⑩ 대리인 변리사 서만규

(전 2면)

⑪ 반도체패키지의 제조방법 및 구조

⑫ 요약

본 발명은 반도체패키지의 제조방법 및 구조에 관한 것으로, 반도체칩의 저면을 외부로 노출시켜 피드통작시 발생되는 열팽창의 효과를 극대화하여 패키지의 수명을 연장시키고, 신뢰성을 향상시킬 수 물론, 패키지의 물성부 외측에 위치한 리드는 절단하고, 물질부 내측에 위치한 리드는 그 저면을 외부로 노출시켜 마더보드에 실장사 티도의 저면에서 신호전달을 하도록 함으로서 신광연적을 최소할 수 있는 반도체패키지이다.

## 특허설구의 범위

1. 다수의 리드가 형성되고, 상기 다수의 리드 중 일부에는 침입재판이 없는 리드프레임을 형성하는 단계와; 상기 리드프레임의 다수의 리드 중 일부에 반도체침을 위치시켜 와이어본딩을 실시하는 단계와; 상기 와이어본딩된 리드, 반도체침 및 와이어를 외부의 산회 및 부식으로부터 보호하기 위하여 물당하는 단계와; 상기 단계 후에 물당영역 외각에 위치한 리드를 절단하는 단계로 이루어진 것을 특징으로 하는 반도체패키지의 제조방법.
2. 제1항에 있어서, 상기 와이어본딩은 배관홀(Vacuum Hole)이 형성된 허더블럭에 반도체침을 위치시켜 상기 배관홀로 공기를 말아들여 반도체침을 지지 고정하는 것을 특징으로 하는 반도체패키지의 제조방법.
3. 제1항에 있어서, 상기 물당단자는 액상 풍지재를 사용하여 물당하는 것을 특징으로 하는 반도체패키지의 제조방법.
4. 제1항 또는 3항에 있어서, 액상 풍지재를 사용하여 물당하기 전에 물당영역에 물을 형성하여 액상 풍지재가 물에 빙어되는 것을 방지하는 것을 특징으로 하는 반도체패키지의 제조방법.
5. 제1항에 있어서, 상기 물당단자는 물드 침파운드를 사용하여 물당하는 것을 특징으로 하는 반도체패키지의 제조방법.
6. 제3항 또는 5항에 있어서, 상기 액상 풍지재 및 물드 침파운드로 물당 후, 150°C 이상의 고온에서 수시진 노출시켜 경화시키는 공정을 포함하는 것을 특징으로 하는 반도체패키지의 제조방법.
7. 제1항에 있어서, 상기 반도체패키지의 저연에는 그라인드(Grind)를 실시하여 플래시(Flash)를 제거하는 것을 특징으로 하는 반도체패키지의 제조방법.
8. 제1항에 있어서, 상기 물당영역의 외각에 위치한 리드를 절단시 절단을 용이하게 하기 위하여 절단되는 부위의 리드에 노치(Notch)를 형성한 것을 특징으로 하는 반도체패키지의 제조방법.
9. 저연이 외부로 직접 노출되는 반도체침과; 상기 반도체침의 외측에 위치되고 물당영역을 벗어나지 않으며 저연이 외부로 노출되어 저연에서 신호의 입출력이 이루어지는 다수의 리드와; 상기 반도체침과 리드를 연결시켜주는 와이어와; 상기 반도체침, 리드 및 와이어를 외부 환경으로부터 보호하기 위하여 물당된 액상 풍지재 또는 침파운드로 구성된 것을 특징으로 하는 반도체패키지의 구조.
10. 제9항에 있어서, 상기 물당된 액상 풍지재 및 침파운드는 리드 및 반도체침의 상부로만 물당된 것을 특징으로 하는 반도체패키지의 구조.
11. 제9항에 있어서, 상기 반도체패키지의 저연에는 플래시(Flash)의 제거를 위해 그라인드(Grind)된 것을 특징으로 하는 반도체패키지의 구조.
12. 제9항에 있어서, 리드프레임의 다수의 리드 중 일부에는 침입재판이 없는 것을 특징으로 하는 반도체패키지의 구조.

※ 참고사항: 제조출원 내용에 의하여 공개하는 것임.

## 도면의 간단한 설명

제2도는 본 발명에 적용되는 리드프레임을 도시한 평면도.

제 2 도

